

# Diseño de reguladores

Dado un proceso con función de transferencia:

$$G(s) = \frac{s + 4,10}{s^2 + 3,10s + 1,0}$$

Y el controlador:

$$D(s) = K \cdot \frac{s + 8,90}{s}$$

Responda a las siguientes preguntas:

1. Dibuje en la siguiente plantilla el lugar de las raíces y el diagrama de Bode para el sistema descrito:

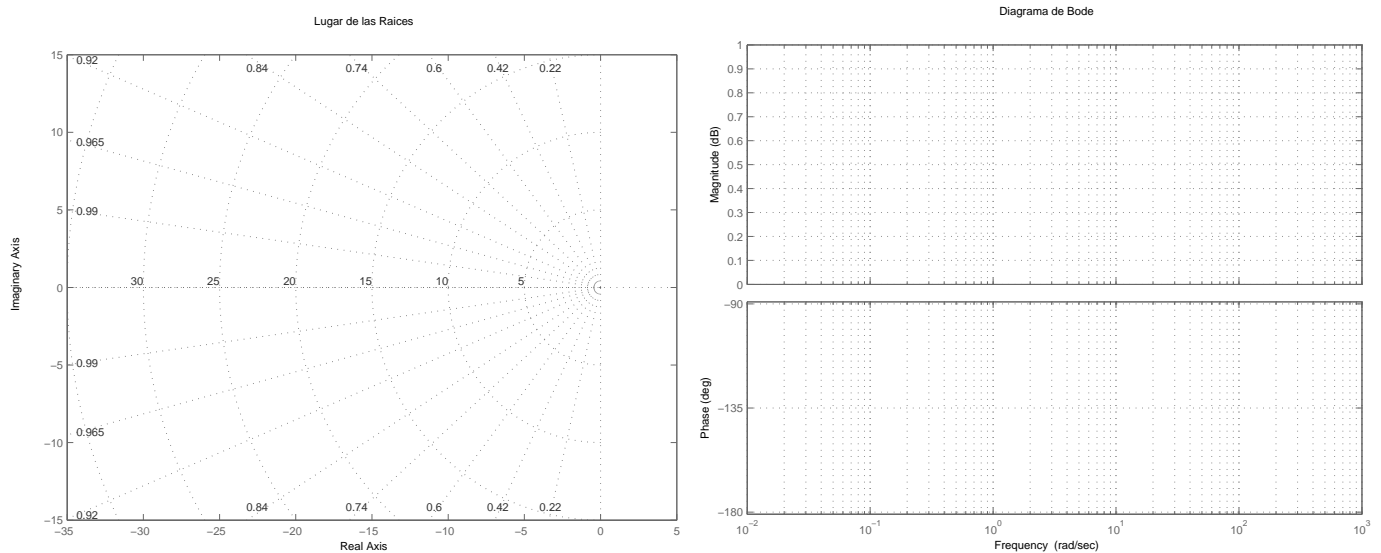


Figura 1: Lugar de las Raíces y Bode para el sistema descrito

2. Los valores positivos de  $K$  que hacen el sistema inestable son:   
 El margen de ganancia es:   $MG =$   
 El margen de fase es:   $MF =$
3. Dibuje la respuesta ante un escalón unitario en la referencia dando a  $K$  los siguientes valores:  $K_1 = 2,4$  y  $K_2 = 3,6$

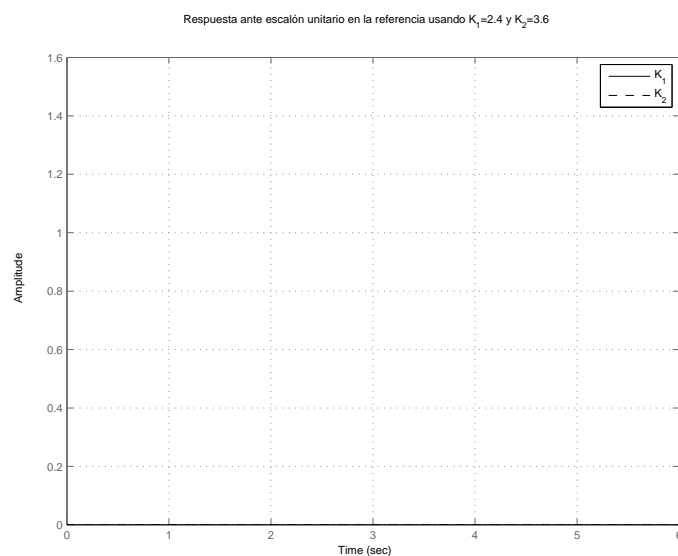


Figura 2: Respuesta ante escalón unitario en la referencia usando  $K_1$  y  $K_2$

4. Los polos en cadena cerrada utilizando  $K_1 = 2,4$  y  $K_2 = 3,6$  son respectivamente:

$s =$  ,

5. Los errores de posición en régimen permanente utilizando  $K_1 = 2,4$  y  $K_2 = 3,6$  son respectivamente:   $e_{rpp1} =$

  $e_{rpp2} =$ 

6. Las sobreoscilaciones de la respuesta utilizando  $K_1 = 2,4$  y  $K_2 = 3,6$  son respectivamente:   $M_{p1} =$

  $M_{p2} =$ 

7. Si  $D(s) = K_c \cdot (s+z) \cdot \frac{1}{s+9,53}$ ,  $G(s) = 182,5 \cdot \frac{1}{s+25} \cdot \frac{s+5}{s^2+5,0s+36,5}$ ,  $H(s) = 1$  y se desea que el sistema tenga una respuesta ante entrada escalón con un factor de amortiguamiento  $\zeta = 0,950$  y una frecuencia natural no amortiguada  $\omega_n = 9,06$ . Para esas condiciones los valores  $z$  y  $K_c$  deben ser respectivamente:   $z =$ ,   $K_c =$

8. Para el mismo sistema  $G(s)$  del apartado anterior diseñe una red de atraso de fase,  $D(s) = K_c \frac{s+z}{s+p}$ , de modo que el sistema presente:  $MF \approx 64^\circ$  y  $e_p \approx 25$  Para esas condiciones los valores  $z$ ,  $p$  y  $K_c$  deben ser respectivamente:   $z =$

  $p =$ 
  $K_c =$ 

Dibuje el diagrama de Bode del sistema original, con la compensación proporcional, el compensador y el sistema con el compensador

Compensación con red de atraso de fase

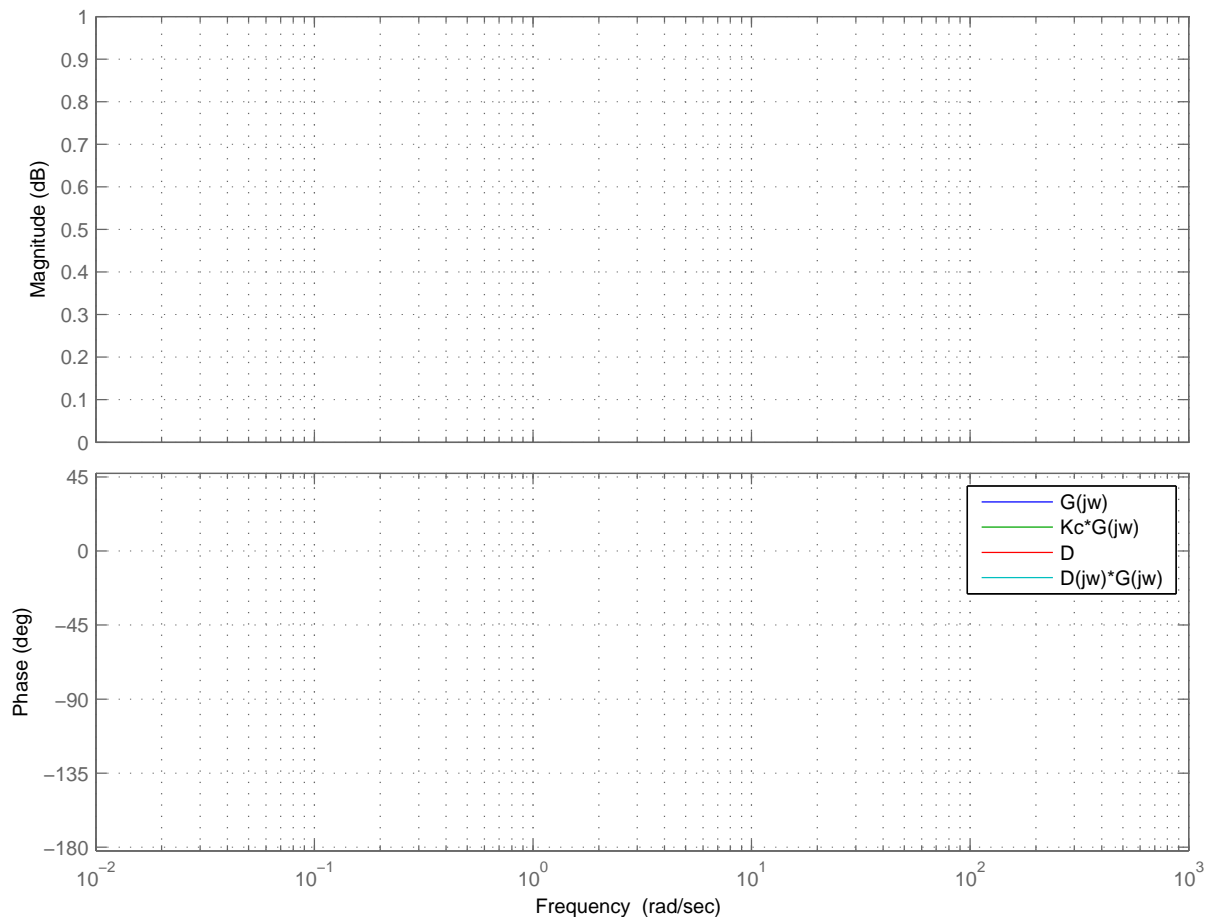


Figura 3: Diseño en frecuencia