

# Caso práctico de Control Digital

Sistemas Automáticos

24 de mayo de 2004

*Enunciado:*

Determinado sistema de servoposicionamiento tiene la siguiente función de transferencia:

$$G(s) = \frac{1}{(s+1)(s+2)}$$

Se desea implementar un control digital por el *método de emulación* de manera que se verifique

$$\begin{aligned} t_s &\leq 1\text{seg} \\ M_p &\leq 20\% \end{aligned}$$

---

*Solución Propuesta:*

### **Diseño del regulador continuo.**

En primer lugar diseñamos un regulador continuo  $R(s)$  para las especificaciones dadas. Las especificaciones se traducen en

$$\begin{aligned} t_s &= \frac{\pi}{\sigma} \rightarrow \sigma \geq 3.14 \\ M_p &= e^{-\pi \cot \theta} \rightarrow \theta \leq 62.87^\circ \end{aligned}$$

Con esto, el punto que verifica ambas especificaciones será

$$p_d = -3.1416 + 6.1323j$$

Comenzamos el diseño por el regulador más simple, un regulador de tipo proporcional. El lugar de las raíces para un regulador de tipo proporcional se muestra, junto con el polo deseado,  $p_d$ , en la figura siguiente:

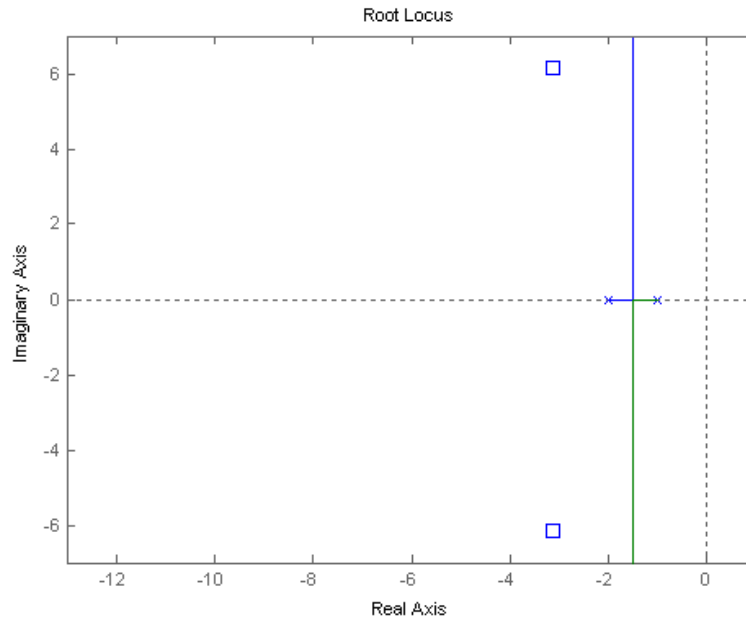


Figura 1: Lugar de las raíces del sistema sin compensar, junto con la posición deseada para los polos  $p_d$ .

Como vemos, no existe ningún valor de  $K$  que verifique las especificaciones. Es necesario por tanto llevar el LR hacia la izquierda, para que al menos “atraviese” la región permitida. Sólo entonces, hallaremos la  $K$  que pone las raíces en dicha región.

Para ello, es necesario modificar la geometría del LR mediante una red de adelanto de fase (regulador PD). Debemos, por tanto, calcular la demanda de ángulo en  $p_d$ . Aplicando el criterio del argumento a  $p_d$  tenemos

$$\arg\{p_d - p_1\} + \arg\{p_d - p_2\} = \theta_{p1} + \theta_{p2} = 109.25^\circ + 100.54^\circ = 209.79^\circ$$

Nos sobran  $29.3^\circ$  para llegar a  $180^\circ$ . Debemos meter un cero y un polo con una abertura de al menos  $29.3^\circ \approx 30^\circ$ . Existen infinitas combinaciones de polo y cero que den una abertura de  $30^\circ$ . Sin embargo, dado que el cero del regulador va a aparecer en la cadena cerrada incrementando la sobreoscilación, interesa coger una combinación en la que el cero esté alejado. Elegimos

$c = 10$ . Por trigonometría, se deduce que  $p = -29.3 \approx -30$ . El lugar de las raíces queda

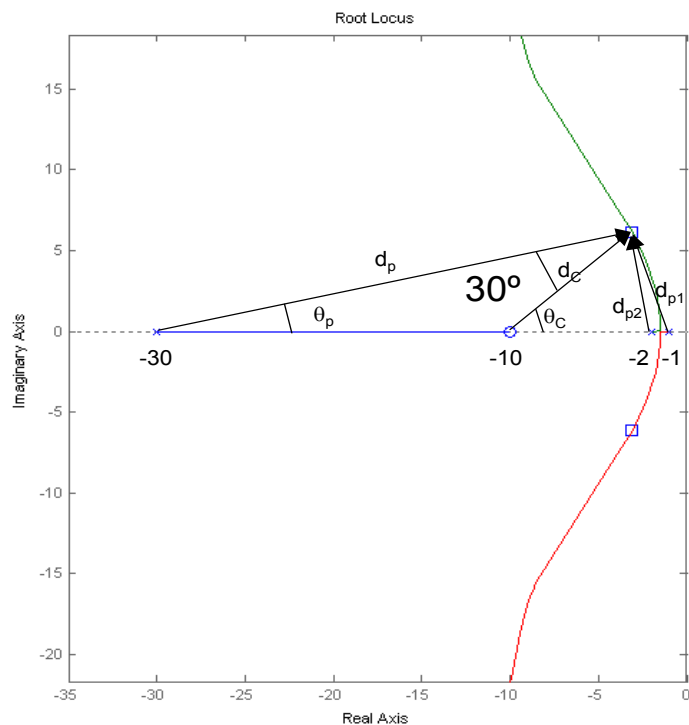


Figura 2: Lugar de las raíces del sistema compensado.

Una vez calculada la posición del polo y el cero que determinan el nuevo LR que pasa por  $p_d$ , es necesario hallar el valor de  $K$  que sitúa los polos precisamente en el punto que coincide con  $p_d$  en el nuevo LR. Para ello, aplicamos el criterio del módulo:

$$KG(s)H(s) = -1 \quad \rightarrow \quad K|G(s)H(s)| = 1$$

$$K \frac{|s - c|}{|s - p_1||s - p_2||s - p|} = 1$$

$$K = \frac{d_{p1}d_{p2}d_p}{d_c} = 121.33$$

Con ello, finalmente, el regulador queda

$$R(s) = 121.33 \cdot \frac{s + 10}{s + 30}$$

## Discretización del regulador

**Elección del periodo de muestreo.** Ahora queremos obtener un regulador discreto a partir de  $R(s)$ . Lo primero es elegir la frecuencia de muestreo  $f_m$  para lo que haremos las siguientes consideraciones:

- Para que se verifique el criterio de Shannon, es conveniente elegir una frecuencia de Shannon ( $f_{sh} = f_m/2$ ) entre 5 y 10 veces superior a la frecuencia de corte del filtro antialiasing.
- A su vez, el filtro antialiasing debe tener un ancho de banda unas 10 veces mayor que el ancho de banda del sistema para no alterar significativamente el margen de fase del sistema comprometiéndose la oscilación o incluso la estabilidad.
- Elegimos, por tanto, una frecuencia de muestreo  $f_m \approx 2 \times 5 \times 10 = 100$  veces el ancho de banda del sistema realimentado, que viene dado, aproximadamente, por la frecuencia de cruce de ganancia del sistema  $R(s)G(s)$  que es, aproximadamente de unos 6 rads/s, como se ve en la figura adjunta.

Debe recordarse que estos criterios de elección son de carácter orientativo, debiendo tenerse siempre en cuenta el contexto del problema.

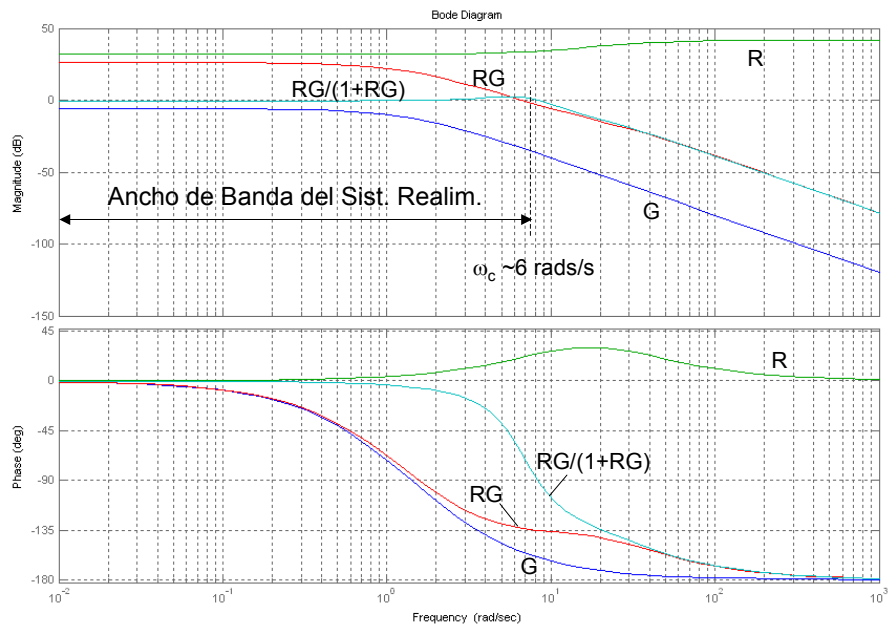


Figura 3: Diagramas de Bode del sistema sin compensar en C.A., compensado en C.A. y compensado en C.C. Puede observarse que el ancho de banda del sistema en C.C. coincide aproximadamente con la frecuencia de cruce de ganancia, que es de unos 6 rads/s.

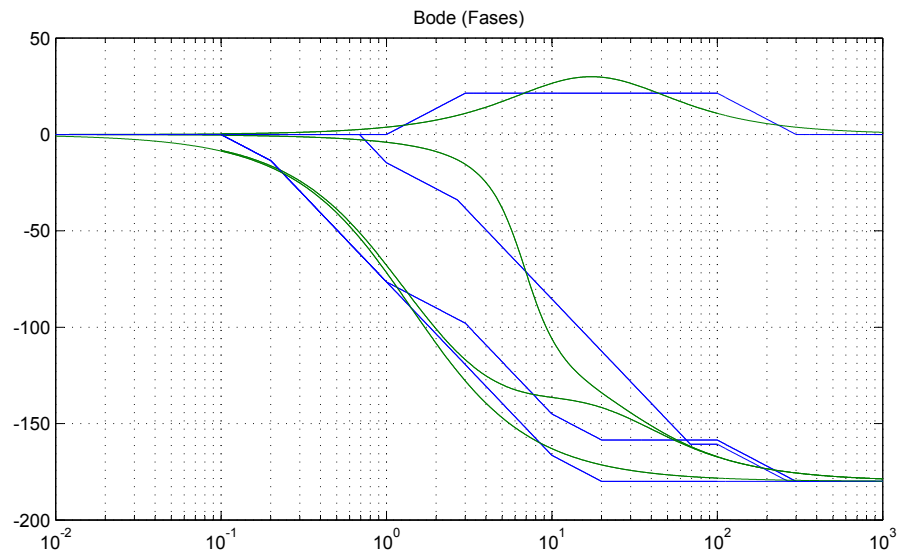
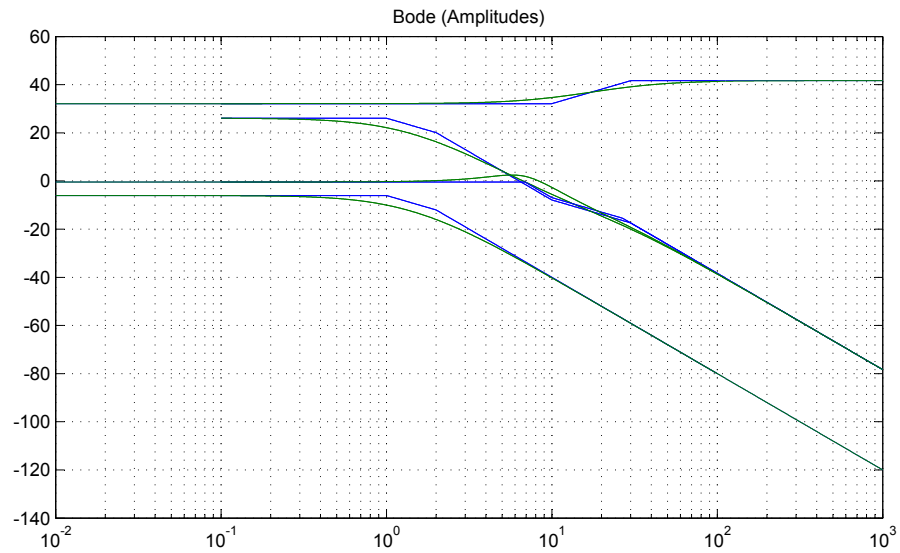


Figura 4: Diagramas de Bode asintóticos del sistema sin compensar en C.A., compensado en C.A. y compensado en C.C. Puede observarse que el ancho de banda del sistema en C.C. coincide aproximadamente con la frecuencia de cruce de ganancia, que es de unos 6 rads/s.

Por tanto, elegiremos

$$\boxed{f_m = 100 \cdot \frac{6}{2\pi} \approx 100\text{Hz}} \quad \rightarrow \quad \boxed{T_m = 10\text{ms}}$$

La respuesta en bucle cerrado del sistema con el controlador continuo diseñado se muestra en la figura adjunta. Podemos comprobar que la sobreoscilación real del sistema es similar a la especificada, aunque un poco mayor, debido a la influencia cero de  $R(s)$ , que está presente en la f.d.t. del sistema en cadena cerrada.

Asimismo, vemos cómo el tiempo de establecimiento se ajusta correctamente a las especificaciones, llegando el sistema al permanente en un tiempo de en torno a 1 segundo.

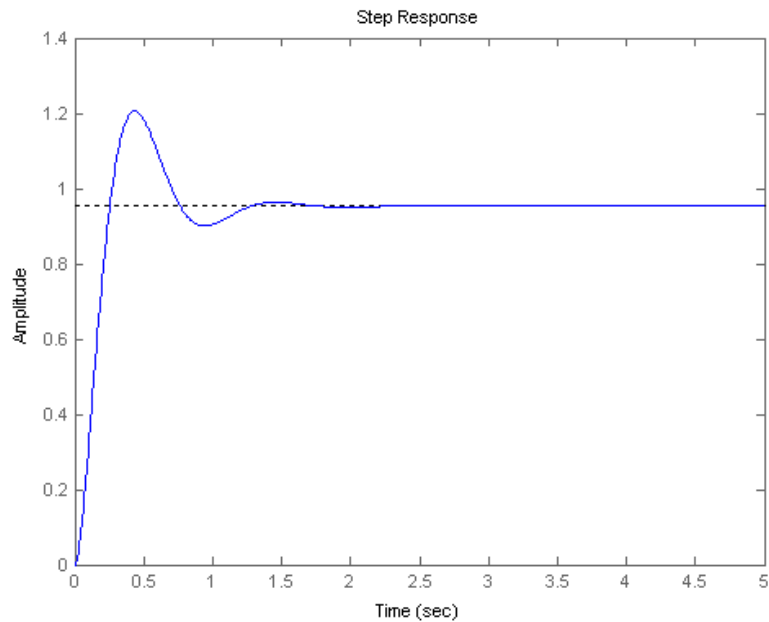


Figura 5: *Respuesta en bucle cerrado del sistema con el controlador continuo  $R(s)$  diseñado.*



Damos por válido el diseño y procedemos, entonces a su implementación en un control digital.

**Método de discretización.** Ahora debemos elegir un método de discretización. En principio, la elección del método de discretización es un compromiso entre

$$\text{efectividad de la emulación} \leftrightarrow \text{simplicidad de diseño} \leftrightarrow \text{carga computacional}$$

En nuestro caso, al haber elegido un periodo de muestreo holgado, la aproximación de Euler es suficiente:

$$s \approx \frac{z - 1}{T_m}$$

y sustituyendo esta expresión en  $R(s)$  queda

$$\begin{aligned} R(z) &= 121.33 \cdot \frac{z - 1 + 10T_m}{z - 1 + 30T_m} \\ &= 121.33 \cdot \frac{z - 0.9}{z - 0.7} \end{aligned}$$

Esto se traduce en un algoritmo

---

```

hacer cada 10 ms
  LEER r,y
  e = r-y
  u = 0.7*up + 121.33*e - 121.33*0.9*ep

  ESCRIBIR u
  up = u           % Almacenamos entrada pasada (en k-1)
  ep = e           % Almacenamos error pasado (en k-1)
f_hacer

```

---

Figura 6: *Algoritmo del controlador discreto*

**Diseño del prefiltro antialiasing.** La operación de muestreo conlleva la posibilidad de fenómenos de aliasing en el caso de que alguna de las señales que son muestreadas (concretamente, referencia  $r(t)$  y salida  $y(t)$ ) contengan armónicos a frecuencias superiores a la frecuencia de Shannon-Nyquist  $\frac{f_m}{2}$ . Para evitarlo, se diseña un prefiltro antialiasing, que es de carácter analógico, emplazándolo justo antes de muestrear, con lo cual evitamos el problema del aliasing.

Para diseñar el filtro es necesario primero elegir una estructura básica. En nuestro caso podemos elegir un sencillo filtro de un polo y ganancia unidad

$$H_a(s) = \frac{a}{s + a} \quad (1)$$

su diagrama de Bode asintótico para  $a = 1$  en el caso del filtro de un polo es el siguiente:

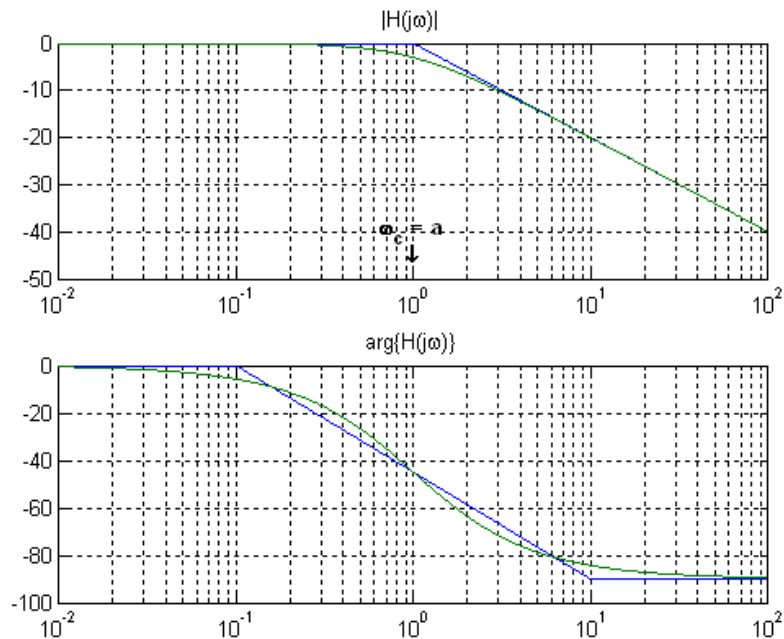


Figura 7: Diagrama de bode del filtro antialiasing de un polo  $H_a(s) = \frac{a}{s+a}$  para  $a = 1 \text{ rad/s}$ . Su ganancia en continua es 1 y su frecuencia de corte es  $a$ .

En nuestro caso, debemos atenuar suficientemente todas las frecuencias que superen la frecuencia de Shannon-Nyquist, es decir,  $f_m/2 = 50 \text{ Hz}$ . Elijiendo un valor de la frecuencia de corte  $a$  del filtro unas 5 veces menor aseguraremos una atenuación de unos  $20 \log_{10} \left| \frac{1}{5} \right| \approx -14 \text{ dB}$

$$a = \frac{50}{5} \cdot 2\pi = 62.83 \text{ rads/s} \quad (2)$$

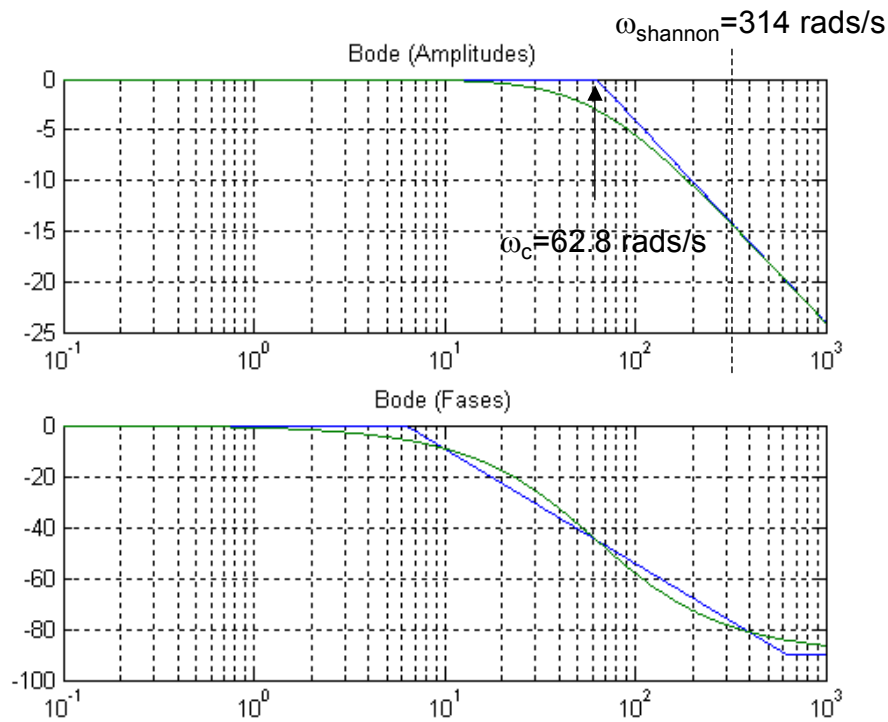


Figura 8: *Diseño del filtro antialiasing. Se ha elegido una frecuencia de corte unas 5 veces inferior a la frecuencia de Shannon lo que asegura una atenuación aceptable para armónicos por encima de la misma.*

**Otras estructuras para el prefiltro.** Otra posibilidad habría sido introducir un filtro de orden superior a 1, por ejemplo un filtro de Butterworth, que es de fácil realización y tiene una capacidad de filtrado mejor. En este caso es necesario tener mucha precaución ya que a más polos, más fase negativa, con lo cual puede reducir el MF y con ello incrementar la sobreoscilación e incluso hacer el sistema inestable.

**Implementación** En la figura adjunta se muestra una simulación en simu-link de:

1. Sistema de control continuo
2. Sistema de control digital, empleando un periodo de muestreo  $T_m = 0.01$  s y sin utilizar filtro antialiasing.

3. El mismo control digital anterior incorporando un filtro antialiasing de un polo con una frecuencia de corte de  $\frac{1}{5}$  de la de Shannon, ( $f_c = 10\text{Hz} = 62.8\text{rads/s}$ )

Los resultados de las tres simulaciones se muestran en las figuras siguientes. En la figura 10, se muestra la simulación de los tres sistemas ante una señal cuadrada de baja frecuencia, sin armónicos considerables en alta frecuencia (a excepción de los de la propia señal cuadrada, que no son muy elevados). Puede comprobarse cómo el control digital con filtro antialiasing exhibe un comportamiento ligeramente más oscilatorio debido a que el filtro introduce una fase negativa (ver diagrama de Bode del filtro) que reduce el margen de fase del sistema y por tanto disminuye su estabilidad relativa e incrementa su tendencia a oscilar. No obstante, el efecto es relativamente pequeño y puede hacerse aún menor empleando mayores frecuencias de muestreo que nos permitan un diseño del filtro antialiasing con una frecuencia de corte mayor y, por tanto, un retraso de fase menor.

En la figura 11 se muestra la simulación ante la misma señal cuadrada en la referencia pero con presencia de un armónico relevante (amplitud  $\approx 30\%$  de la señal de entrada) a una frecuencia de 301 Hz, que claramente supera la frecuencia de Shannon. Puede comprobarse cómo el sistema sin filtro antialiasing sufre los efectos del aliasing, considerando la señal de alta frecuencia como si fuese de baja (frecuencia virtual  $\approx 301 - 100 \times 3 = 1\text{Hz}$ ) que origina una componente errónea en la respuesta. Sin embargo, pese a padecer de un ligero incremento de la sobreoscilación debido a la reducción del MF que provoca el filtro, el sistema de control digital que incorpora el filtro antialiasing se muestra más insensible al aliasing exhibiendo una respuesta similar a la del control analógico.

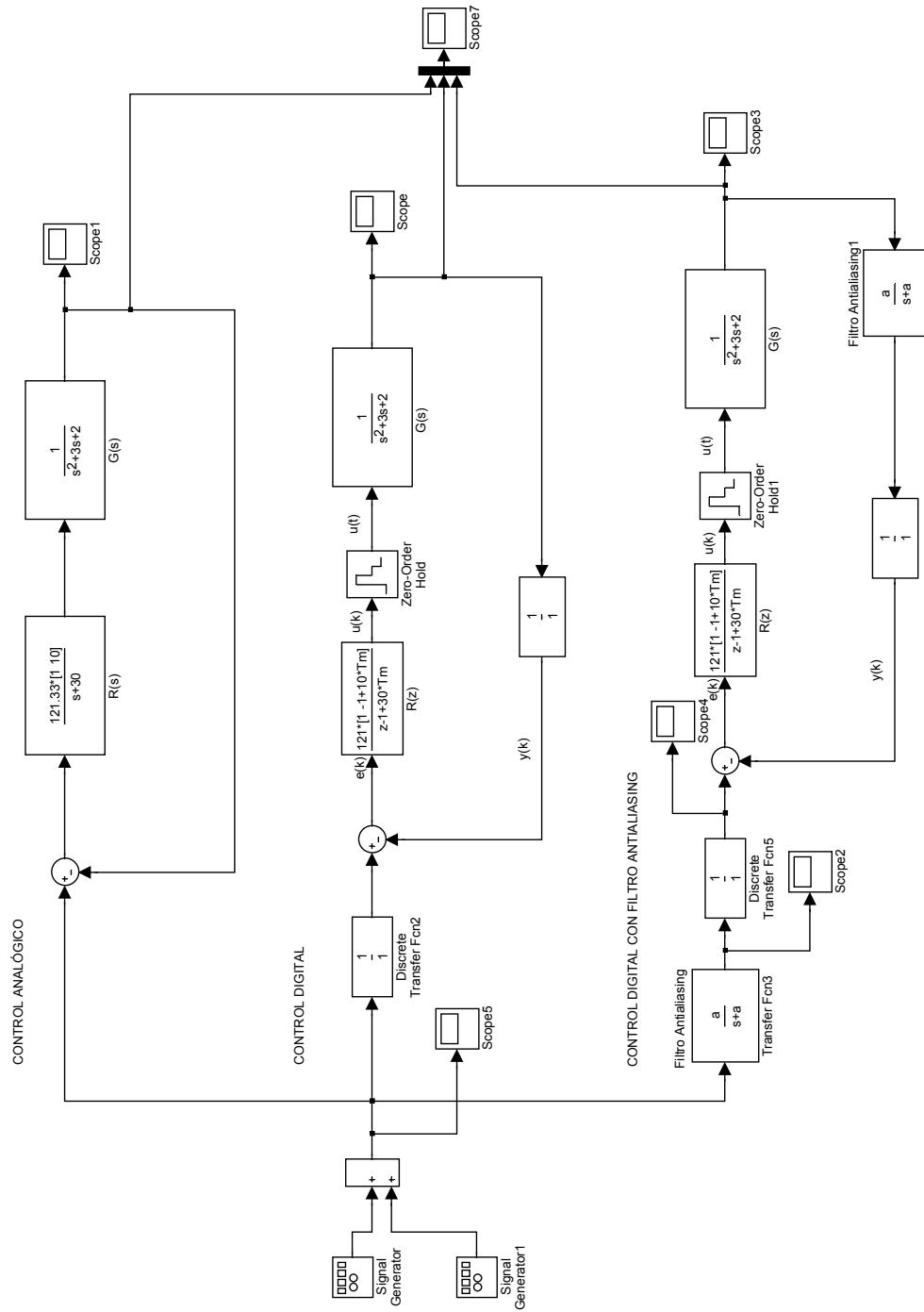


Figura 9: Diagrama de bloques en simulink de las tres implementaciones: control analógico (sin computador), control digital sin filtro antialiasing y control digital con el filtro antialiasing.

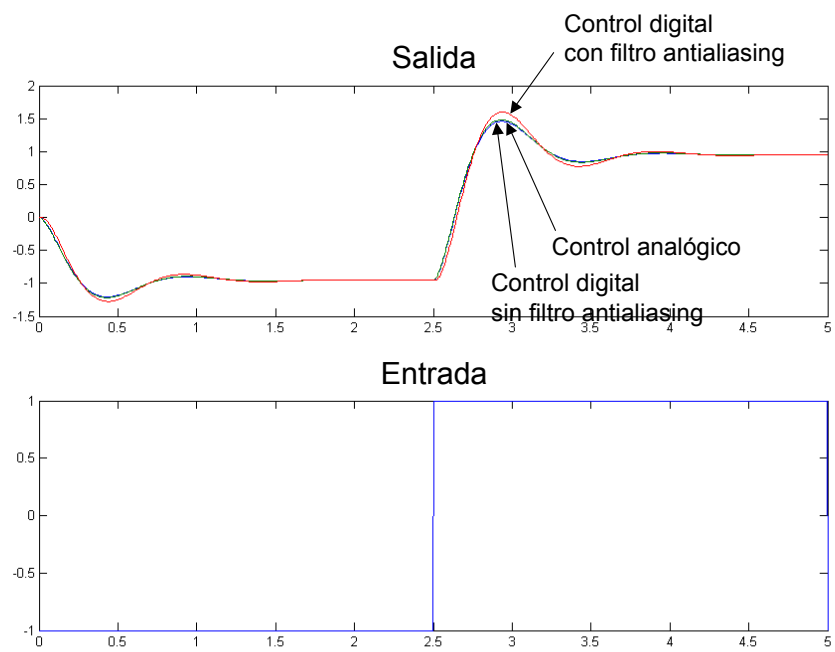


Figura 10: Simulación ante una señal cuadrada de 0.2 Hz de: a) control analógico b) control digital c) control digital con filtro antialiasing.

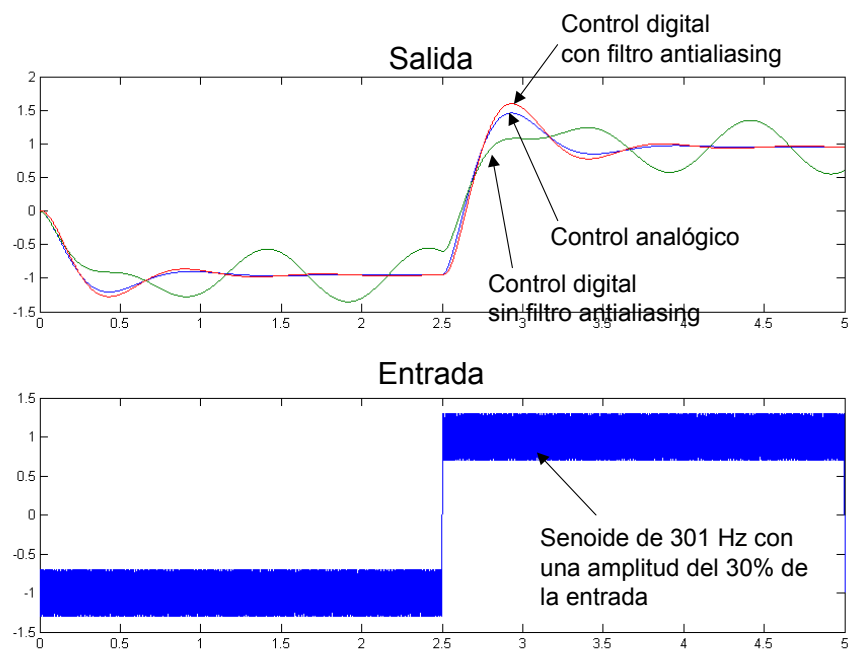


Figura 11: Simulación ante una señal cuadrada de 0.2 Hz más una señal de 301Hz con una amplitud de un 30% de: a) control analógico b) control digital c) control digital con filtro antialiasing.